
ΒΙΟΓΡΑΦΙΚΟ ΣΗΜΕΙΩΜΑ

Γεώργιος Δημητρίου του Αλεξάνδρου

dimitriu@uth.gr

ΕΚΠΑΙΔΕΥΣΗ:

- Προπτυχιακές σπουδές: Δίπλωμα Ηλεκτρολόγου Μηχανικού, Τμήμα Ηλεκτρολόγων Μηχανικών, Εθνικό Μετσόβιο Πολυτεχνείο (1983-1988). Βαθμός πτυχίου: 9,55/10.
- Μεταπτυχιακές σπουδές: Διπλώματα Master of Science (MS) και Doctor of Philosophy (PhD), Department of Electrical and Computer Engineering, University of Illinois at Urbana-Champaign, Urbana, Illinois, ΗΠΑ (1989-2000).

ΕΡΓΑΣΙΑ:

- Καλοκαιρινή μηνιαία απασχόληση μέσω προγράμματος IAESTE (International Association for the Exchange of Students for Technical Experience) στο Ινστιτούτο Φυσικών Ερευνών (KFKI) Βουδαπέστης (Καλοκαίρι 1987). Αντικείμενο: Προγραμματισμός ψηφιακών φίλτρων για εφαρμογές φυσικής.
- Ένα εξάμηνο ερευνητική εργασία, με παράλληλη διδακτική εργασία (ως βοηθός επίβλεψης και βαθμολόγησης) σε εργαστήριο παράλληλης επεξεργασίας, στον Τομέα Πληροφορικής του Τμήματος Ηλεκτρολόγων Μηχανικών του Εθνικού Μετσόβιου Πολυτεχνείου (ΕΜΠ) (Άνοιξη 1989).
- Βοηθός έρευνας (research assistant) στο πανεπιστήμιο των ΗΠΑ University of Illinois at Urbana-Champaign (UIUC), και συγκεκριμένα στο ερευνητικό κέντρο Center for Supercomputing Research and Development (CSRD). Ειδικότερα: Την περίοδο από Σεπτέμβριο 1989 έως Μάιο 1996 το αντικείμενο της έρευνάς μου ήταν η δρομολόγηση διεργασιών και νημάτων (threads) σε λειτουργικά συστήματα, που ολοκληρώθηκε με την τρίμηνη καλοκαιρινή απασχόληση που αναφέρεται πιο κάτω. Την περίοδο από Ιανουάριο 1997 έως Μάιο 2000 το αντικείμενο της έρευνάς μου ήταν η αρχιτεκτονική πολυνηματικών επεξεργαστών και η παραγωγή κώδικα για τέτοιους επεξεργαστές, που ολοκληρώθηκε με τη διδακτορική μου διατριβή.
- Βοηθός διδασκαλίας (teaching assistant) στο UIUC, και συγκεκριμένα στο Τμήμα Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών, σε μεταπτυχιακό μάθημα Αρχιτεκτονικής Υπολογιστών (Φθινόπωρο 1996).
- Καλοκαιρινή τρίμηνη απασχόληση στην εταιρεία Silicon Graphics, Inc. (SGI), Mountain View, California, ΗΠΑ (Καλοκαίρι 1996).
- Συμβασιούχος διδάσκων (με το ΠΔ 407/80 ή επιστημονικός υπότροφος) στο Τμήμα Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών (ΤΗΜΜΥ, πρώην Τμήμα Μηχανικών Υπολογιστών, Τηλεπικοινωνιών & Δικτύων – ΤΜΗΥΤΔ) του Πανεπιστημίου Θεσσαλίας (ΠΘ) (Ακαδημαϊκές περιόδους από χειμερινό εξάμηνο 2001 μέχρι και εαρινό εξάμηνο 2017 – τέσσερα αυτόνομα μαθήματα καθώς και άλλα σε συνδιδασκαλία).

- Συμβασιούχος διδάσκων (με το ΠΔ 407/80 ή επιστημονικός υπότροφος) στο Τμήμα Πληροφορικής (ΤΠ) του ΠΘ (Ακαδημαϊκές περιόδους από χειμερινό εξάμηνο 2013 μέχρι και εαρινό εξάμηνο 2017 – τρία αυτόνομα μαθήματα και ένα σε συνδιδασκαλία).
- Συμβασιούχος διδάσκων στα ΠΜΣ του ΤΗΜΜΥ και του ΤΠ του ΠΘ (Ακαδημαϊκές περιόδους από χειμερινό εξάμηνο 2013 μέχρι και εαρινό εξάμηνο 2017 – τέσσερα αυτόνομα μαθήματα και ένα σε συνδιδασκαλία).
- Συμμετοχή στο ερευνητικό πρόγραμμα του ΕΚΕΤΑ-ΙΕΤΕΘ «NANOTRIM- Εργαλείο συνεχούς μεταβολής του μεγέθους των τρανζίστορ για τη βελτιστοποίηση ολοκληρωμένων κυκλωμάτων νανοκλίμακας (Continuous Transistor Sizing Toolset for nanoscale IC optimization)», σε συγχρηματοδότηση από την Ευρωπαϊκή Ένωση (Ευρωπαϊκό Ταμείο Περιφερειακής Ανάπτυξης - ΕΠΠΑ) και από εθνικούς πόρους, μέσω του Επιχειρησιακού Προγράμματος «ΑΝΤΑΓΩΝΙΣΤΙΚΟΤΗΤΑ & ΕΠΙΧΕΙΡΗΜΑΤΙΚΟΤΗΤΑ» του Εθνικού Στρατηγικού Πλαισίου Αναφοράς (ΕΣΠΑ 2007-2013) – ΔΡΑΣΗ ΣΥΝΕΡΓΑΣΙΑ 2011 (Φεβρουάριος 2014 - Οκτώβριος 2015).
- Από τον Οκτώβριο 2017 διορισμένο μέλος ΔΕΠ στο ΤΠ του ΠΘ, στη βαθμίδα του Επίκουρου Καθηγητή με θητεία, με γνωστικό αντικείμενο «Παράλληλες Αρχιτεκτονικές Υπολογιστών».
- Από το Σεπτέμβριο 2019 εκλεγμένος διευθυντής του νεοσυσταθέντος Εργαστηρίου Αρχιτεκτονικής Υπολογιστών, Μεταγλωττιστών και Ασφάλειας Συστημάτων, του Τμήματος Πληροφορικής και Τηλεπικοινωνιών (ΤΠΤ, πρώην ΤΠ) του ΠΘ, για τρία χρόνια.

ΕΡΕΥΝΗΤΙΚΗ ΔΡΑΣΤΗΡΙΟΤΗΤΑ - ΥΠΟΜΝΗΜΑ ΔΗΜΟΣΙΕΥΣΕΩΝ:

1. **Παράλληλος προγραμματισμός σε δίκτυα Transputer** (ΕΜΠ – Διπλωματική εργασία, Ερευνητική εργασία)
Σύντομη περιγραφή: Ο Transputer ήταν ο πρώτος ευρωπαϊκός επεξεργαστής για παράλληλη επεξεργασία τη δεκαετία του 1980. Η μοναδικότητα της αρχιτεκτονικής του συνίστατο στην παρουσία δυνατοτήτων πολυπρογραμματισμού σε υλικό, ενώ με τέσσερις συνδέσμους επικοινωνίας μπορούσε να συνδεθεί απ' ευθείας με άλλους Transputers. Αναπτύξαμε δύο παράλληλες εφαρμογές για δίκτυα Transputer, χρησιμοποιώντας τη γλώσσα παράλληλου προγραμματισμού Occam: Έναν ιεραρχικό αλγόριθμο εύρεσης του ορίου ψηφιακής εικόνας βασισμένο σε τεχνικές θεωρίας γραφημάτων (διπλωματική εργασία) και έναν παράλληλο διερμηνέα κατηγορικών γραμματικών για παράσταση και επεξεργασία της γνώσης (πρόσθετη ερευνητική εργασία). Και οι δύο εφαρμογές δοκιμάστηκαν σε διάφορες τοπολογίες δικτύων Transputer. [A1][B1]
Άνοιξη 1988 - Άνοιξη 1989.
2. **Simulation of Static and Dynamic Task Scheduling on Multiprocessor Systems** (CSRD – Δίπλωμα MS)
Σύντομη περιγραφή (στα αγγλικά): Finding an optimal task schedule for a parallel job on a multiprocessor is a problem that is approached either statically – through the compiler, or dynamically – through a run-time scheduler. In this work, we compare and evaluate the performance of several scheduling algorithms in a simulated parallel processing environment. Given a parallel job represented as a hierarchical task graph, we transform it into an intermediate form and then feed this form into the simulated architecture to execute it. Several heuristic scheduling algorithms were developed as part of this work, which are hybrids between static and dynamic algorithms. [MSThesis]
Φθινόπωρο 1989 - Άνοιξη 1994.
3. **nanoThreads: A User-level Multithreading Library** (CSRD και καλοκαιρινή εργασία SGI)

Σύντομη περιγραφή (στα αγγλικά): Cooperation of the compiler and the operating system in the exploitation of parallelism through multithreading is essential for the minimization of overhead incurred by the handling of threads. Ultra-lightweight threads can be created through library calls at user level, within user space, with only minimal interaction with the operating system, which provides the execution vehicles – i.e. the processors – at system level. This minimization of interaction between user and system level is the main focus of this work. The multithreading library developed is called nanoThreads and has been implemented for SGI's IRIX systems.
Φθινόπωρο 1994 - Άνοιξη 1996 (CSRD), Καλοκαίρι 1996 (SGI).

4. **Loop Scheduling for Multithreaded Processors** (CSRD – Δίπλωμα PhD)
Σύντομη περιγραφή (στα αγγλικά): The presence of multiple active threads on the same processor affects the performance of existing loop scheduling techniques significantly. We introduce a loop-scheduling technique for multithreaded processors that we call Macro-Software Pipelining (MSWP), which produces loop schedules by partitioning the loop body into tasks and assigning each task to a processor thread that executes all loop iterations for that task. MSWP is applied on a hierarchical representation of a program code and utilizes task-level speculation for maximal exploitation of parallelism. We study the application of MSWP on our architectural model, Coral 2000, a novel hybrid between blocked and interleaved multithreaded architectures. We tested MSWP on a Coral 2000 simulator, using several synthetic and SPEC benchmarks with encouraging results that reached speedups of up to 30% with respect to highly optimized schedules. [PhDThesis][B2][B3]
Άνοιξη 1997 - Άνοιξη 2000.
5. **Αποτίμηση καταναλισκόμενης ενέργειας σε ασύρματα δίκτυα αισθητήρων** (ΠΘ)
Σύντομη περιγραφή (στα αγγλικά): Power and total useful lifetime are primary design concerns of fundamental importance, in a variety of real life applications, where the deployment of a Wireless Sensor Network is desired. This work focused on the design and implementation of a tool to calculate power consumption in wireless sensor networks. Power consumption is calculated on the execution of C programs on a simulator, and the tool is based on a C interpreter developed from scratch within this work. The methodology used in order to estimate power consumption is based on a number of user-defined parameters. [B4]
Άνοιξη 2004 - Άνοιξη 2005.
6. **Αρχιτεκτονική πυρήνα επεξεργαστή “NoFun”** (ΠΘ)
Σύντομη περιγραφή (στα αγγλικά): Multithreaded multicore processors are the state-of-the-art in processor technology. In this project, we are exploring the NoFun processor design, in which multiple single-threaded pipelines meet at a unified out-of-order back-end. In that back-end, key role plays a Network of Functional unit nodes, able to execute instructions from any one of the active pipelines of the processor. Goal of this project is to achieve a speedup in loop execution proportional to the network size, regardless of the number of cores and threads, and at the same time a substantial decrease in power consumption. Within the NoFun project, new techniques in compilation and on-chip interconnection are designed and implemented, with significant preliminary results. [A2][B5][B20]
Φθινόπωρο 2012 - σήμερα.
7. **Προσθήκη C στο εργαλείο “CCC” για high-level synthesis** (ΠΘ, TEI Καστοριάς)
Σύντομη περιγραφή (στα αγγλικά): High level synthesis is developing into the dominant technique to design ICs. CCC is a high level synthesis tool translating ADA into synthesizable HDL, using logic programming, in order to make translation self-proven. The C compiler front end provides the tool with the ability to accept C programs, translating them into ADA. Restrictions on the C input language are kept minimal, while restrictions on the ADA code are invisible to the programmer. A number of compilation

options allow a better match between C and ADA programs. [A3][A4] [B6][B12][B13] [B17][B21]

Φθινόπωρο 2013 - Οκτώβριος 2015.

8. Συμμετοχή στο ερευνητικό πρόγραμμα “Nanotrim” (ΕΚΕΤΑ-ΙΕΤΕΘ)

Σύντομη περιγραφή: Παρέμβαση στα προκαθορισμένα μεγέθη τρανζίστορ σε αρχεία εξόδου εργαλείων CAD για σχεδίαση ολοκληρωμένων κυκλωμάτων. Με προσεκτική θεωρητική ανάλυση υπολογίζονται τα μεγέθη που οδηγούν σε καλύτερη απόδοση χρόνου και ενέργειας. Τα αρχεία τροποποιούνται με τέτοιο τρόπο ώστε να βελτιώνεται η απόδοση, χωρίς να επηρεάζεται η λειτουργικότητα των κυκλωμάτων. Κύρια συμμετοχή στη διαχείριση των αρχείων και ειδικότερα στη συντακτική ανάλυσή τους ως προεργασία για την παραπάνω παρέμβαση. [B7][B8][B9][B10][B11][B14][B15][B16] [B18][B19][B23][B29][B31]

Φεβρουάριος 2014 - Οκτώβριος 2015.

9. Μελέτη και υλοποίηση βελτιστοποιήσεων στον εμπρόσθιο ενδιάμεσο κώδικα του εργαλείου “CCC” (ΠΘ, ΤΕΙ Καστοριάς)

Σύντομη περιγραφή (στα αγγλικά): Optimization through source code transformations is quite different from optimization at the back-end scheduler of a high-level synthesis tool. After the C source code is turned into an ast-based intermediate representation, several high-level transformations, e.g loop unrolling, loop pipelining, code motion, function inlining, are applied on the representation, giving an optimized ADA code, which is then fed into CCC. Thus, the back end is only concerned with hardware scheduling, to deliver a doubly optimal synthesizable HDL code. [B22][B24][B25][B26] [B27][B28]

Οκτώβριος 2015 - σήμερα.

10. Θέματα εκπαίδευσης της επιστήμης των υπολογιστών (ΠΘ)

Σύντομη περιγραφή: Η εκπαίδευση της επιστήμης των υπολογιστών στα σχολεία ενέχει πολλές προκλήσεις στους διδάσκοντες. Κάποια θέματα προσπαθούν να επιλυθούν μέσα από εξειδικευμένο προγραμματισμό, όπως για παράδειγμα προγραμματισμό σε ασύγχρονες πλατφόρμες τηλεεκπαίδευσης. [B30]

Φθινόπωρο 2017 - σήμερα.

11. Μελέτη χρονισμού κυκλωμάτων επεξεργαστών (ΠΘ)

Σύντομη περιγραφή (στα αγγλικά): Timing analysis in microprocessor circuits is more efficient when architectural constraints are introduced, allowing a better-than-worst-case design. New timing analysis algorithms are explored, and utilized for timing speculation without the need for expensive error correction mechanisms. [B32][B33]

Ανοιξη 2018 - σήμερα.

ΕΡΕΥΝΗΤΙΚΑ ΕΝΔΙΑΦΕΡΟΝΤΑ:

- Αρχιτεκτονική υπολογιστών (επεξεργαστές γενικού σκοπού, παραλληλισμός επιπέδου εντολών, δυναμική δρομολόγηση εντολών, εκτέλεση κατ' εικασία, πολλαπλές ροές ελέγχου, παράλληλη επεξεργασία, επεξεργαστές ειδικού σκοπού – πολυμέσων, γραφικών, δικτύων, σημάτων, μικροελεγκτές, συστήματα σε τσιπ, πολυεπεξεργαστές σε τσιπ, αρχιτεκτονικές πολλαπλών πυρήνων, αρχιτεκτονικές edge, επιταχυντές, αρχιτεκτονικές big-data).
- Μεταγλωττιστές (βελτιστοποιήσεις, συντακτικά δέντρα, δέσμευση καταχωρητών, παραγωγή κώδικα, δρομολόγηση εντολών και βρόχων, παραλληλοποίηση κώδικα, εργαλεία κατασκευής μεταγλωττιστών, γλώσσες προγραμματισμού υψηλού επιπέδου, γλώσσες μηχανής, γλώσσες περιγραφής υλικού, σύνθεση υψηλού επιπέδου).

ΔΙΔΑΣΚΑΛΙΑ:

- Βοηθός διδασκαλίας στο ΕΜΠ: Ένα εξάμηνο εργασίας σε προπτυχιακό εργαστηριακό μάθημα Παράλληλης Επεξεργασίας, όπου βασικό εργαλείο παράλληλης επεξεργασίας ήταν κόμβοι Transputer. Η βοήθεια δινόταν ως επίβλεψη και ως διόρθωση ασκήσεων (Ανοιξη 1989).
- Βοηθός διδασκαλίας στο UIUC: Ένα εξάμηνο εργασίας σε μεταπτυχιακό μάθημα Αρχιτεκτονικής Υπολογιστών. Η βοήθεια δινόταν ως διδασκαλία (σε περίπτωση απουσίας του καθηγητή), ως επίβλεψη εργασιών και ως διόρθωση ασκήσεων (Φθινόπωρο 1996).
- Συμβασιούχος διδάσκων, επιστημονικός υπότροφος ή μέλος ΔΕΠ στο ΠΘ.
Αυτόνομα μαθήματα:
 1. **Οργάνωση Υπολογιστών** (υποχρεωτικό μάθημα). (Χειμερινό εξάμηνο 2001 και όλα τα εαρινά εξάμηνα από το 2002 έως και το 2013, ΤΜΗΥΤΔ/ΤΗΜΜΥ, χειμερινά εξάμηνα από το 2014 έως και το 2018, ΤΠ).
 2. **Αρχιτεκτονική Υπολογιστών** (μάθημα επιλογής). (Όλα τα χειμερινά εξάμηνα από το 2003 έως και το 2017, ΤΜΗΥΤΔ/ΤΗΜΜΥ, χειμερινό εξάμηνο 2018, ΤΠ).
 3. Αρχιτεκτονική Υπολογιστών (το ίδιο με το παραπάνω #2, στο ΠΜΣ). (Χειμερινά εξάμηνα 2006, 2011, και από το 2013 έως και το 2017, ΤΜΗΥΤΔ/ΤΗΜΜΥ).
 4. **Οργάνωση και Σχεδίαση Υπολογιστών** (στο ΠΜΣ). (Εαρινά εξάμηνα 2016, 2017 και 2018, ΤΗΜΜΥ.)
 5. **Γλώσσες και Μεταφραστές** (υποχρεωτικό μάθημα). (Όλα τα χειμερινά εξάμηνα από το 2002 έως και το 2013, ΤΜΗΥΤΔ/ΤΗΜΜΥ).
 6. Μεταγλωττιστές (υποχρεωτικό μάθημα, το ίδιο με το παραπάνω #5). (Χειμερινά εξάμηνα από το 2015 έως και το 2018, ΤΠ).
 7. Μεταγλωττιστές (μάθημα επιλογής, το ίδιο με το παραπάνω #5). (Χειμερινά εξάμηνα από το 2014 έως και το 2018, ΤΗΜΜΥ).
 8. **Εισαγωγή στους Η/Υ** (υποχρεωτικό μάθημα). (Εαρινά εξάμηνα από το 2014 έως και το 2019, ΤΠ).
 9. **Προχωρημένα Θέματα Μεταγλωττιστών** (μάθημα επιλογής). (Εαρινά εξάμηνα από το 2014 έως και το 2018, ΤΗΜΜΥ).
 10. Προχωρημένα Θέματα Μεταγλωττιστών (το ίδιο με το παραπάνω #9, στο ΠΜΣ). (Εαρινά εξάμηνα από το 2014 έως και το 2018, ΤΗΜΜΥ).
 11. **Ανάπτυξη και Σχεδίαση Λογισμικού** (στο ΠΜΣ). (Εαρινά εξάμηνα από το 2016 έως και το 2019, ΤΠ).
 12. **Παράλληλα Συστήματα** (μάθημα επιλογής). (Εαρινά εξάμηνα από το 2017 έως και το 2019, ΤΠ).Μαθήματα σε συνδιδασκαλία:
 13. **Ψηφιακή Σχεδίαση Ι** (υποχρεωτικό μάθημα, το εργαστηριακό μέρος του μαθήματος). (Χειμερινό εξάμηνο 2001, ΤΜΗΥΤΔ).
 14. **Ψηφιακή Σχεδίαση ΙΙ** (υποχρεωτικό μάθημα, το εργαστηριακό μέρος του μαθήματος). (Εαρινό εξάμηνο 2002, ΤΜΗΥΤΔ).
 15. **Εισαγωγή στον Προγραμματισμό** (υποχρεωτικό μάθημα, το εργαστηριακό μέρος του μαθήματος). (Χειμερινό εξάμηνο 2013, ΤΠ).
 16. Ανάπτυξη και Σχεδίαση Λογισμικού (μέρος του παραπάνω #11). (Εαρινό εξάμηνο 2015, ΤΠ).Για όλα τα παραπάνω μαθήματα γράφτηκαν εκατοντάδες σελίδες πρωτότυπων παραδειγμάτων και ασκήσεων, και δόθηκαν αρκετές δεκάδες διαφορετικές εργασίες.

ΑΛΛΗ ΑΚΑΔΗΜΑΪΚΗ ΕΡΓΑΣΙΑ:

- Συμμετοχή σε διεθνή συνέδρια, όπου προβλήθηκε η παραπάνω ερευνητική εργασία

- Επίβλεψη δεκάδων Διπλωματικών Εργασιών ΠΠΣ και ΠΜΣ στο ΤΜΗΥΤΔ/ΤΗΜΜΥ και στο ΤΠ, με ενδεικτικές τις
 - Γ.Δρασιδής, “Μελέτη επεξεργαστών διπλού πυρήνα, πρωτοκόλλων συνοχής μνήμης και μελέτη υλοποίησης σε FPGA”, 2008.
 - Στ.Αλχατζίδης, “Γραφική αναπαράσταση, επεξεργασία και προσομοίωση αφηρημένων συντακτικών δέντρων”, 2008.
 - Ι.Αρβανιτάκης, Δ.Μάμαλης, “Μελέτη μετατροπής του πυρήνα του επεξεργαστή Leon3 από αρχιτεκτονική SPARC σε MIPS”, 2010. Παρουσιάστηκε στο ΣΦΗΜΜΥ 2010.
 - Αρ.Ιακώβου, Μ.Προδρόμου, Κ.Ρουμελιώτου, Π.Χαλκιάς, “Αυτόματη αλλαγή τρανζίστορ σε φυσικό επίπεδο”, 2011.
 - Ελ.Βουμβουράκης, “Ολοκληρωμένο σύστημα δικτύου αισθητήρων για την παρακολούθηση περιβαλλοντικών συνθηκών και την απεικόνισή τους σε GIS”, 2011.
 - Αθ.Τζιουβάρας, “Γρήγορη, χαμηλής ισχύος εκτέλεση βρόχων σε δίκτυο λειτουργικών μονάδων”, 2013.
 - Κλ.Καλαϊτζίδης, “Προσομοίωση κατανάλωσης ενέργειας ενός επεξεργαστή πολλαπλών μονάδων εκτέλεσης με βάση τα εργαλεία SimpleScalar και Wattch”, 2014.
 - Αθ.Τζιουβάρας (ΠΜΣ), “Θέματα ιεραρχίας μνήμης στην επεξεργασία δεδομένων μεγάλου όγκου”, 2015.
 - Απ.Τσακυρίδης, Γ.Χατζηαναστασίου, “Υλοποίηση βελτιστοποιητικών μετασχηματισμών κώδικα σε μεταγλωττιστή σύνθεσης υψηλού επιπέδου”, 2016.
 - Δ.Βάρσος (ΠΜΣ), “Ανάπτυξη μαθημάτων εκπαιδευτικής ρομποτικής για μαθητές γυμνασίου. Εφαρμογή στην πλατφόρμα ασύγχρονης τηλεκαίδεισης Moodle”, 2018.
- Επίβλεψη Ειδικών Θεμάτων στο ΤΜΗΥΤΔ/ΤΗΜΜΥ
- Συμμετοχή στην επιμέλεια μετάφρασης στα ελληνικά του βιβλίου των J.Hennessy, D.Patterson, “Computer Architecture: A quantitative approach”
- Κρίση εργασιών στο περιοδικό ACM Transactions on Architecture and Compiler Optimizations (TACO)

ΤΙΜΗΤΙΚΕΣ ΔΙΑΚΡΙΣΕΙΣ:

- Υποτροφίες Ιδρύματος Κρατικών Υποτροφιών (κατά τις προπτυχιακές σπουδές στο ΕΜΠ)
- Υποτροφία Ιδρύματος Α.Ωνάση (μετά τις προπτυχιακές σπουδές, μη αποδεκτή)
- Υποτροφίες ως βοηθός έρευνας και διδασκαλίας (κατά τις μεταπτυχιακές σπουδές στο UIUC)
 - Βοηθός έρευνας (Φθινόπωρο 1989 - Άνοιξη 1999)
 - Βοηθός διδασκαλίας (Φθινόπωρο 1996)

ΞΕΝΕΣ ΓΛΩΣΣΕΣ:

- Αγγλικά (άριστα λόγω διπλώματος PhD στις ΗΠΑ).
- Γερμανικά (δίπλωμα «Kleines Deutsches Sprachdiplom»).

ΔΗΜΟΣΙΕΥΣΕΙΣ:

ΔΙΑΤΡΙΒΕΣ-BΙΒΛΙΑ

MSThesis. Simulation of Static and Dynamic Task Scheduling on Multiprocessor Systems, University of Illinois.

PhDThesis. Loop Scheduling for Multithreaded Processors, University of Illinois.

A. ΠΕΡΙΟΔΙΚΑ

- A1. G.Papakonstantinou, T.Panayiotopoulos, G.Dimitriou, “AGP: A Parallel Processor for Knowledge and Software Engineering”, The Computer Journal, Vol.35, 1992, pp. A193-199, Oxford University Press.
- A2. G.Dimitriou, A.Tziouvaras, “A Functional Unit Network for Rapid, Low-Power Loop Execution”, International Journal of Innovation and Regional Development, special issue on: "Information and Communication Technologies Research and Applications in South East Europe", Vol.6 No.3, 2015, pp. 267-284, Inderscience Publishers.
- A3. M.Dossis, V.Hados, G.Dimitriou, “Automatic Generation of Trigonometric Hardware with HLS Tools Using the CubedC Hardware Compiler/Optimizer”, International Journal of Engineering Researches and Management Studies, Vol.1 No.1, 2014, pp.15-25.
- A4. M.Dossis, G.Dimitriou, “Are HLS Tools Healthy?”, Engineering, Technology & Applied Science Research, Vol.5, No.2, 2015, pp.790-794.

B. ΣΥΝΕΛΠΙΑ

- B1. G.Dimitriou, P.Tsanakas, G.Papakonstantinou, “The Multi-Transputer Implementation of a Hierarchical Edge Detection Algorithm”, IMACS/IFAC Int. Symposium on Parallel and Distributed Computing in Engineering Systems, 1991.
- B2. G.Dimitriou, C.D.Polychronopoulos, “Loop Scheduling for Multithreaded Processors”, IEEE Int. Conference on Parallel Computing in Electrical Engineering – PARELEC, 2004.
- B3. G.Dimitriou, C.D.Polychronopoulos, “Hardware Support for Multithreaded Execution of Loops with Limited Parallelism”, 10th Panhellenic Conference on Informatics – PCI, 2005. Also in LNCS 3746, Advances in Informatics, pp. 622-632, Springer Verlag.
- B4. G.Dimitriou, P.K.Kikiras, G.I.Stamoulis, I.N.Avaritsiotis, “A Tool for Calculating Energy Consumption in Wireless Sensor Networks”, 10th Panhellenic Conference on Informatics – PCI, 2005. Also in LNCS 3746, Advances in Informatics, pp. 611-621, Springer Verlag.
- B5. A.Tziouvaras, G.Dimitriou, “Rapid, Low-power Loop Execution in a Network of Functional Units”, 17th Panhellenic Conference on Informatics – PCI, 2013.
- B6. M.Dossis, V.Hados, G.Dimitriou, “Numerical Block High-Level Synthesis”, CSCESM’2014, December 2014.
- B7. G.Floros, G.Dimitriou, G.Stamoulis, “Electromigration: Estimation methodology for the sub-45nm era”, CSCESM’2014, December 2014.
- B8. A.Dadaliaris, G.Dimitriou, G.Stamoulis, “VDA-Place: Voltage-Drop-Aware Standard Cell Placement”, CSCESM’2014, December 2014.

- B9. S.Ioannidis, D.Ntioudis, C.Antoniadis, A.Dadaliaris, P.Tsompanopoulou, N.Evmorfopoulos, G.Dimitriou, G.Stamoulis, “Optimization of an Integrated Circuit Placement Algorithm in a Parallel Environment”, CSCESM’2014, December 2014.
- B10. G.-I.Paliaroutis, P.Tsoumanis, G.Dimitriou, G.Stamoulis, “SER analysis for multiple affected gates”, CSCESM’2014, December 2014.
- B11. M.Zervas, M.Spanou, G.Dimitriou, G.Stamoulis, “Compact Physical Model of TSV for quick and accurate exploration of 3DICs”, CSCESM’2014, December 2014.
- B12. M.Dossis, V.Hados, G.Dimitriou, “Hardware Trigonometry with High-level Synthesis Using the CubedC Hardware Compiler/Optimizer”, QUAESTI-Virtual Multidisciplinary Conference, December 2014.
- B13. G.Dimitriou, M.Dossis, “Experimenting with a High-Level Synthesis System Front End”, PACET’2015, May 2015. Proceedings to appear in the Journal of Engineering Science and Technology Review.
- B14. A.Dadaliaris, P.Oikonomou, G.Dimitriou, G.Stamoulis, “VDA Place+: Voltage-Drop-Aware Placement”, PACET’2015, May 2015. Proceedings to appear in the Journal of Engineering Science and Technology Review.
- B15. T.Strousidou, C.Antoniadis, I.Arvanitakis, G.Dimitriou, N.Evmorfopoulos, P.Tsompanopoulou, P.Bozani, G.Stamoulis, “Accelerating GORDIAN-Based Placement through Null Space Removal Techniques”, PACET’2015, May 2015. Proceedings to appear in the Journal of Engineering Science and Technology Review.
- B16. G.-I.Paliaroutis, P.Tsoumanis, G.Dimitriou, G.Stamoulis, “SER Analysis for Multiple Affected Gates”, PACET’2015, May 2015. Proceedings to appear in the Journal of Engineering Science and Technology Review.
- B17. M.Dossis, G.Dimitriou, “Evaluating MPEG2 through High-level Synthesis Tools”, 3rd International Virtual Conference on Advanced Scientific Results, May 2015.
- B18. D.Ntioudis, C.Kalonakis, P.Giannakou, C.Antoniadis, G.Stamoulis, P.Tsompanopoulou, N.Evmorfopoulos, J.Moondanos, G.Dimitriou, “CCSOpt: A Continuous Gate-Level Resizing Tool”, 4th International Conference on Modern Circuits and Systems Technology – MOCAS, May 2015.
- B19. P.Giannakou, C.Antoniadis, C.Kalonakis, D.Ntioudis, G.Stamoulis, P.Tsompanopoulou, N.Evmorfopoulos, J.Moondanos, G.Dimitriou, “GDS2trim: Physical Layout Manipulation Utility for continuous transistor sizing”, 4th International Conference on Modern Circuits and Systems Technology – MOCAS, May 2015.
- B20. K.Kalaitzidis, G.Dimitriou, G.Stamoulis, M.Dossis, “Performance and Power Simulation of a Functional-Unit-Network Processor with SimpleScalar and Wattch”, 19th Panhellenic Conference on Informatics – PCI, October 2015.
- B21. M.Dossis, G.Dimitriou, “Hardware Synthesis of High-Level C Constructs”, 19th Panhellenic Conference on Informatics – PCI, October 2015.
- B22. G.Chatzianastasiou, A.Tsakyridis, G.Dimitriou, M.Dossis, “Compiler Transformations in Hardware Synthesis of Mpeg2 Codes”, IEEE International Conference on Modern Circuits and Systems Technology – MOCAS, May 2016.

- B23. G.-I.Paliaroutis, P.Tsoumanis, G.Dimitriou, G.Stamoulis, “SER Analysis of Multiple Transient Faults in Combinational Logic”, South-East Europe Design Automation, Computer Engineering, Computer Networks and Social Media Conference – SEEDA-CECNSM, September 2016.
- B24. G.Dimitriou, G.Chatzianastasiou, A.Tsakyridis, G.Stamoulis, M.Dossis, “Source-Level Compiler Optimizations for High-Level Synthesis”, South-East Europe Design Automation, Computer Engineering, Computer Networks and Social Media Conference – SEEDA-CECNSM, September 2016.
- B25. G.Dimitriou, M.Dossis, G.Stamoulis, “Loop Pipelining in High-Level Synthesis with CCC”, IEEE International Conference on Modern Circuits and Systems Technology – MOCAST, May 2017.
- B26. G.Dimitriou, M.Dossis, G.Stamoulis, “Minimal-Area Loop Pipelining for High-Level Synthesis with CCC”, South-East Europe Design Automation, Computer Engineering, Computer Networks and Social Media Conference – SEEDA-CECNSM, September 2017.
- B27. M.Dossis, G.Dimitriou, “Resolving Loop Pipelining Issues in the CCC High-level Synthesis E-CAD Framework”, 41st International Conference on Telecommunications and Signal Processing – TSP, July 2018.
- B28. G.Dimitriou, M.Dossis, G.Stamoulis, “Operation Dependencies in Loop Pipelining for High-Level Synthesis”, South-East Europe Design Automation, Computer Engineering, Computer Networks and Social Media Conference – SEEDA-CECNSM, September 2018.
- B29. G.-I.Paliaroutis, P.Tsoumanis, N.Evmorfopoulos, G.Dimitriou, G.Stamoulis, “A Placement-aware Soft Error Rate Estimation of Combinational Circuits for Multiple Transient Faults in CMOS Technology”, 31st IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems - DFT, October 2018.
- B30. D.Varsos, G.Dimitriou, “Development of Educational Robotics e-Lessons for High-School; Implementation on the Asynchronous e-Learning Moodle Platform”, 4th International Conference for the Promotion of Educational Innovation, October 2018.
- B31. G.I.Paliaroutis, P.Tsoumanis, N.Evmorfopoulos, G.Dimitriou, G.Stamoulis, “Multiple Transient Faults in Combinational Logic with Placement Considerations”, IEEE International Conference on Modern Circuits and Systems Technology – MOCAST, May 2019.
- B32. A.Tziouvaras, G.Dimitriou, M.Dossis, G.Stamoulis, “Instruction-Based Timing Analysis in Pipelined Processors”, South-East Europe Design Automation, Computer Engineering, Computer Networks and Social Media Conference – SEEDA-CECNSM, September 2019.
- B33. A.Tziouvaras, G.Dimitriou, M.Dossis, G.Stamoulis, “Instruction-Flow-Based Timing Analysis in Pipelined Processors”, PAhellenic Conference on Electronics & Telecommunications – PACET, November 2019, Volos, to be presented.